

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064864
 (43)Date of publication of application : 08.03.1996

(51)Int.CI. H01L 33/00

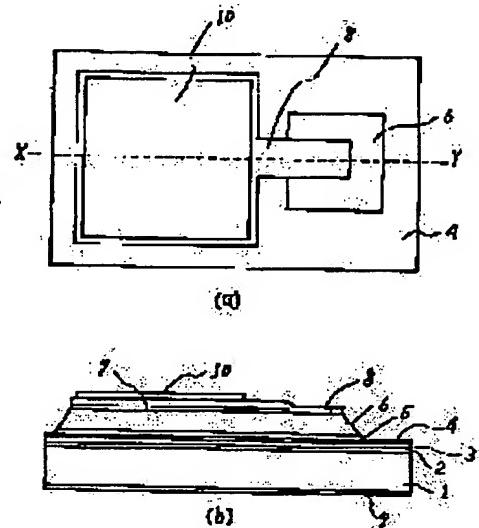
(21)Application number : 06-200529 (71)Applicant : SHARP CORP
 (22)Date of filing : 25.08.1994 (72)Inventor : KURAHASHI TAKANAO
 SAKATA MASAHICO

(54) LIGHT EMITTING DIODE ARRAY AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a light emitting diode array wherein each light emitting element can emit light independently and high luminous efficiency can be realized with extremely low current and provide a method for manufacturing such an array.

CONSTITUTION: A plurality of light emitting elements are aligned on a first-conductivity-type substrate 1 and each light emitting element has at least a first-conductivity-type clad layer 3, an $(Al_xGa_{1-x})In_{1-y}P$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) active layer 4, a second-conductivity-type clad layer 5, and a second-conductivity-type current diffusion layer 6, which are deposited on the substrate in this order. In each light emitting element, at least a part from the surface to the active layer 4 is removed by etching. Therefore, the light emitting elements are electrically separated from each other in that section.



LEGAL STATUS

[Date of request for examination]	24.07.1998
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3198016
[Date of registration]	08.06.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-64864

(43)公開日 平成8年(1996)3月8日

(51)Int.Cl.[®]

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 33/00

B

審査請求 未請求 請求項の数11 O.L. (全 12 頁)

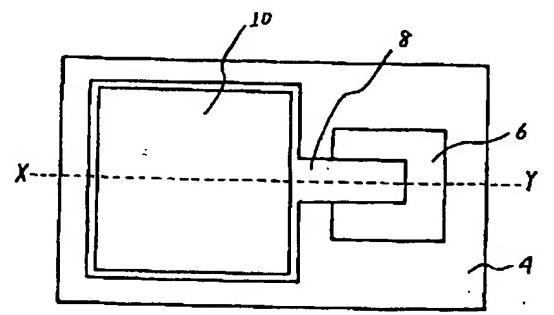
(21)出願番号	特願平6-200529	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成6年(1994)8月25日	(72)発明者	倉橋 孝尚 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(72)発明者	阪田 昌彦 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(74)代理人	弁理士 梅田 勝

(54)【発明の名称】発光ダイオードアレイ及びその製造方法

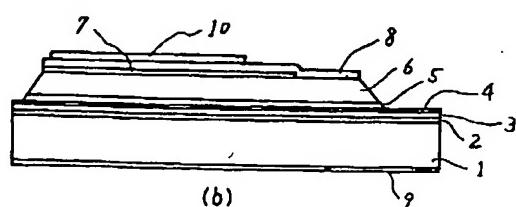
(57)【要約】

【目的】各発光エレメントを単独で発光できるとともに、極めて低電流で高発光効率を実現できる発光ダイオードアレイ及びその製造方法を提供する。

【構成】第1導電型の基板(1)上に複数個の発光エレメントが直線的に配置されており、各発光エレメントは少なくとも、基板上に順次積層される第1導電型のクラッド層(3)と、 $(Al_xGa_{1-x})In_{1-y}P$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) からなる活性層(4)と、第2導電型のクラッド層(5)と、第2導電型の電流拡散層(6)とを有してなることを特徴とする。また、前記各発光エレメントは、互いに、上面より少なくとも前記活性層(4)までがエッチング除去によって電気的に分離されてなることを特徴とする。また、発光層より上方で、発光光の取り出し面以外の部分に、第1導電型の電流阻止層(12)を形成してなることを特徴とする。また、基板(1)と活性層(4)との間に第1導電型の多層反射膜(14)を形成してなることを特徴とする。



(a)



(b)

(2)

1

【特許請求の範囲】

【請求項1】 第1導電型の基板上に複数個の発光エレメントが直線的に配置されてなり、前記各発光エレメントは少なくとも、前記基板上に順次積層される第1導電型のクラッド層と、 $(Al_xGa_{1-x})In_{1-y}P$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) からなる活性層と、第2導電型のクラッド層と、第2導電型の電流拡散層とを有し、且つ前記隣り合う発光エレメントの発光部は互いに電気的に分離されてなることを特徴とする発光ダイオードアレイ。

【請求項2】 請求項1の発光ダイオードアレイにおいて、前記各発光エレメントは、互いに、上面より少なくとも前記第2導電型のクラッド層までがエッチング除去によって電気的に分離されてなることを特徴とする発光ダイオードアレイ。

【請求項3】 請求項2の発光ダイオードアレイにおいて、前記活性層より上方で、発光光の取り出し面以外の部分に、第1導電型の電流阻止層を形成してなることを特徴とする発光ダイオードアレイ。

【請求項4】 請求項3の発光ダイオードアレイにおいて、前記電流阻止層のバンドギャップが前記活性層のバンドギャップよりも小さいことを特徴とする発光ダイオードアレイ。

【請求項5】 請求項4の発光ダイオードアレイにおいて、前記電流阻止層は $(Al_xGa_{1-x})In_{1-y}P$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) であることを特徴とする発光ダイオードアレイ。

【請求項6】 請求項3の発光ダイオードアレイにおいて、前記電流阻止層は、電極部を除きアレイの最上面に形成されてなることを特徴とする発光ダイオードアレイ。

【請求項7】 請求項6に記載の発光ダイオードアレイにおいて、前記電流阻止層は $GaAs$ 層であることを特徴とする発光ダイオードアレイ。

【請求項8】 請求項1乃至7に記載の発光ダイオードアレイにおいて、前記基板と前記活性層との間に第1導電型の多層反射膜を形成してなることを特徴とする発光ダイオードアレイ。

【請求項9】 請求項8に記載の発光ダイオードアレイにおいて、前記多層反射膜は、 $Al_{0.5}In_{0.5}P$ 層と $(Al_xGa_{1-x})_{0.5}In_{0.5}P$ 層 ($x_1 > x$; 但し x は前記活性層の Al 混晶比) とを交互に計20ペア積層した反射膜であることを特徴とする発光ダイオードアレイ。

【請求項10】 請求項1乃至9の前記電流拡散層として $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$) を用いてなる発光ダイオードアレイの製造方法において、各発光エレメント間を電気的分離するためのメサエッチングの際に、 $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$) 電流拡散層を、 $(Al_xGa_{1-x})In_{1-y}P$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) 活性層に対して前記 $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$) 電流拡散層を選択的にエッチャントによってエッチングする第1の工程と、 $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$) 電流拡散層に対して $(Al_xGa_{1-x})In_{1-y}P$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) 活性層を選択的にエッチャントによってエッチングする第2の工程と、その後もう一度、 $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$) 電流拡散層を、 $(Al_xGa_{1-x})In_{1-y}P$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) 活性層に対して前記 $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$) 電流拡散層を選択的にエッチャントによってエッチングする第3の工程とを有してなることを特徴とする発光ダイオードアレイの製造方法。

【請求項11】 請求項10の発光ダイオードアレイの製造方法において、前記第1、第2及び第3のエッチャントがそれぞれ、硫酸：過酸化水素系エッチャント、熱硫酸及び硫酸：過酸化水素系エッチャントであることを特徴とする発光ダイオードアレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は発光ダイオードアレイに関し、特にカメラ用の日付機能システムを有するデータバックユニットの内、ネガフィルムに日付を焼き付けるために使用される発光ダイオードアレイ及びその製造方法に関する。

【0002】

【従来の技術】 従来の技術について、図20を参照して説明する。図20は従来例によるカメラ用データバックユニットの内、ネガフィルムに日付を焼き付けるための発光ダイオードアレイの上面図である。

【0003】 図20に示すように、従来の発光ダイオードアレイは、発光チップ100が7個一列に配列されている。101は電極である。電極に接続されるワイヤーは省略している。各々の発光チップ100のチップサイズは例えば $300\mu m \times 300\mu m$ の大きさであり、発光ダイオードアレイとしての全体の大きさは、搭載基板の大きさを入れると約 $1mm \times 4mm$ 程度である。

【0004】 また、各発光チップは例えば、発光スペクトルが $590nm$ 近傍にピークを持つ $GaAs_{0.15}P_{0.85}$ on GaP の単体の発光ダイオードチップである。アレイの使用に当たっては、ドライバー用ICが焦点レンズとともに基板に実装されたものが使用されていた。

【0005】

【発明が解決しようとする課題】 ところで、従来のカメラ用データバックユニットに使用される発光ダイオードアレイは、 $GaAs_{0.15}P_{0.85}$ on GaP チップの単体を使用していたが、このチップは間接遷移型で発光効率が低い。このため、ネガフィルムに日付を焼き付け

(3)

るのに十分な出力を得るために、1チップ当たり約20mAの電流が必要となり、焼き付けの電流値は最大で $20\text{mA} \times 7\text{チップ} = 140\text{mA}$ 程度を要し、このため実使用に当たっては、前述のようにドライバー用ICを設ける必要があり、小型化、低コスト化、低消費電力化を図る上で問題となっていた。

【0006】これに対して、従来、LEDプリンタ用の半導体発光装置としてあるが、図21に示すような直接遷移型の $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) を活性層に用いたものがある(特開平4-100278号公報)。

【0007】この半導体発光装置は、図21に示すように、GaAs基板201の上に、n-InGaAlPクラッド層202、InGaAlP活性層203、p-InGaAlPクラッド層204、p-GaAlAs層205が順次積層されている。206はn側電極、207は電極形成のためのGaAsコンタクト層、208はp側電極、209はn-InGaAlP絶縁層、210はボンディングパッドである。

【0008】この構造によれば、直接遷移型の $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) を活性層203に使用していることから、低い電流値で比較的高出力が得られるというメリットがあり、この構造を適用することによって、従来のカメラ用データパックユニットに必要な電流を低下することが期待できる。

【0009】また、この構造をカメラ用データパックユニットに応用することによって、従来の複数の単独の発光素子を配列したものに比べてモノリシック化したことから小型化を図れる。また、これに伴って発光部のスポット径も小さくできることから、従来スポットを絞るために必要とされていたレンズ系が不要となり、このカメラ用データパックユニットを使用するシステム全体の小型化が期待できる。

【0010】しかしながら、上記構造のままでは、以下のような問題点があり実際には使用できない。

【0011】即ち、上記構造においては、電流拡散層となるp-GaAlAs層205が隣り合うエレメント間(例えばA-B間)で分離されていないので、実際の使用においては、隣接するエレメントに電流が流れてしまい、1つのエレメントのみを単独で発光させることはできないという問題点があった。

【0012】また、従来に比較すれば電流値を低下することが期待できるものの、カメラ用としての使用を考慮すると、より低い電流値での効率良い発光が望まれる。

【0013】そこで、本発明の目的は、カメラ用データパックユニットとしての必要な出力を維持しながら動作電流を低く抑え、且つ各発光エレメントが電気的に分離されて確実に1エレメントのみを単独で発光できるとともに、その発光効率を極めて向上できる発光ダイオードアレイ及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するために、本発明の発光ダイオードアレイは、第1導電型の基板上に複数個の発光エレメントが直線的に配置されてなり、前記各発光エレメントは少なくとも、前記基板上に順次積層される第1導電型のクラッド層と、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) からなる活性層と、第2導電型のクラッド層と、第2導電型の電流拡散層とを有し、且つ前記隣り合う発光エレメントの発光部は互いに電気的に分離されてなることを特徴とする。

【0015】また、前記各発光エレメントは、互いに、上面より少なくとも前記活性層までがエッチング除去によって電気的に分離されてなることを特徴とする。

【0016】また、前記活性層より上方で、発光光の取り出し面以外の部分に、第1導電型の電流阻止層を形成してなることを特徴とする。

【0017】ここで、前記電流阻止層のバンドギャップが発光層のバンドギャップよりも小さいことを特徴とする。この電流阻止層の一例としては $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) が使用できる。

【0018】また、前記電流阻止層は、電極部を除きアレイの最上面に形成されてなることを特徴とする。この電流阻止層の一例としてはGaAs層が使用できる。

【0019】また、前記基板と前記活性層との間に第1導電型の多層反射膜を形成してなることを特徴とする。この多層反射膜の一例としては、 $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ 層と $(\text{Al}_{x_1}\text{Ga}_{1-x_1})_{0.5}\text{In}_{0.5}\text{P}$ 層($x_1 > x$; 但し x は前記活性層のAl混晶比)とを交互に計20ペア積層した反射膜が使用できる。

【0020】前記電流拡散層として $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) を用いてなる発光ダイオードアレイの製造方法として、各発光エレメント間を電気的分離するためのメサエッチャングの際に、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) 電流拡散層を、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) 活性層に対して前記 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) 電流拡散層を選択的にエッティングできる第1のエッチャントによってエッティングする第1の工程と、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) 電流拡散層に対して $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) 活性層を選択的にエッティングできる第2のエッチャントでエッティングする第2の工程と、その後もう一度、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) 電流拡散層を、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) 活性層に対して前記 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) 電流拡散層を選択的にエッティングできる第3のエッチャントによってエッティングする第3の工程とを有することを特徴とする。

【0021】ここで、前記第1、第2及び第3のエッチャントの一例として、それぞれ、硫酸：過酸化水素系工

(4)

5

ツチャント、熱硫酸、硫酸：過酸化水素系エッチャントが使用できる。

【0022】

【作用】従来のカメラ用データバックユニットが間接遷移型で発光効率の低い $\text{GaAs}_{0.15}\text{P}_{0.85}$ on GaPチップ単体を使用していたのに対して、本発明においては、活性層に直接遷移型の $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) を使用しているので、消費電流の低減を図れる。また、従来のように、単体の発光チップを配列する構造ではなくモノリシック構造としているので、日付け焼付用の発光部としての大きさを非常に小さくできる。発光スポット径も小さくなることから、従来スポットを絞るために必要とされていたレンズ系が不要となり、このカメラ用データバックユニットを使用するシステム全体を小型化できる。

【0023】また、各発光エレメント間は、上面から少なくとも第2導電型のクラッド層までがエッチング除去されているので、各発光エレメント間の光分離を確実に行える。

【0024】また、電流阻止層を発光部以外の部分に設けることによって、電極下での無効発光を抑え無駄な電力消費を避けることができ、より消費電流を低減できる。さらに、電流阻止層の上に電流拡散層が設けられている構造にあっては（第1実施例～第3実施例）、発光光の取り出し面上に電流注入用の電極を形成する必要がなくなるので、光を有効に外部に取り出すことができる。

【0025】また、ここで、電流阻止層のバンドギャップを活性層のバンドギャップよりも小さくすることによって、発光部から斜めに出射される光をこの電流阻止層で吸収させることができ、隣の発光エレメントとの光分離をより高精度にすることができます。

【0026】また、多層反射膜を設けることによって下方に向かう光を上方に反射でき、出射される光を有効に取り出すことができる。

【0027】また、前述の3工程をとることによって、各発光エレメントにあっては凸部のない安定したメサ形状が得られる。これは、以下のような作用による。即ち、①の工程によって電流拡散層が台形状にエッチングされ、次に②の工程において、クラッド層及び活性層が同様に台形状にエッチングされる。ただし、このクラッド層及び活性層の台形の上部は電流拡散層の下面において若干オーバーエッチングされる形となり、電流拡散層の下部がひさし状に突出することになる。これに対して、③工程のように、もう一度熱硫酸によって電流拡散層をエッチングし、ひさし状になった凸部を削ることによって凸部のないメサ形状を実現できる。

【0028】本発明によれば、このように安定したメサ形状が得られるので、低温下にあっても応力による変形、破損が生じにくい高信頼性の発光ダイオードアレイ

6

を実現できる。

【0029】

【実施例】本願発明の特徴は、主に、1) 直接遷移型の $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$) を活性層に使用することによって、消費電流値の低減を図り、さらに、電流阻止層・多層反射膜を設けることによって極めて高効率の発光を実現できる点、2) 電流阻止層によって発光面上に電極が無く光を有効に取り出せる形状を実現できる点、3) カメラのデータバックユニットとしては従来にないモノリシック化を図り、カメラ搭載用のシステムとしての小型化を実現できる点、4) モノリシック化を図るにあたり、各発光エレメント（以下、単にエレメントと記す）を確実に分離とともに、非常に安定したメサ構造を形成できる製造方法を提供できる点、等が挙げられる。

【0030】以下、図面に従って、詳細に説明する。

【0031】図1は本発明の一実施例による発光ダイオードアレイの上面図、図2(a)及び(b)はそれぞれ、図1の各発光ダイオード単体の上面図及び(a)のX-Y線断面図、図3は図1の部分斜視図、図4乃至図6は図1の発光ダイオードアレイの製造工程図であり、(a)および(b)はそれぞれ上面図及び断面図である。図4乃至図6では単体の発光ダイオードを取り上げて説明している。

【0032】図1乃至図3に示す発光ダイオードアレイは、まず、図4(a)及び(b)に示すように、n型 GaAs 基板(1)上にn型($n = 5 \times 10^{17} \text{ cm}^{-3}$) GaAs バッファー層(2)、n型($n = 5 \times 10^{17} \text{ cm}^{-3}$) $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層(3)、アンドープ($\text{Al}_{0.3}\text{Ga}_{0.7} 0.5\text{In}_{0.5}\text{P}$ 活性層(4)、p型($p = 3 \times 10^{17} \text{ cm}^{-3}$) $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層(5)、 $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 層電流拡散層(6)を積層する。これらの層はすべてMOCVD法によって形成する。各層の厚みは(2)層から(6)層にかけて、例えば $0.5 \mu\text{m}$ 、 $1 \mu\text{m}$ 、 $0.6 \mu\text{m}$ 、 $1 \mu\text{m}$ 、 $3 \mu\text{m}$ である。

【0033】その後、プラズマCVD法により SiN_x 膜を $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 電流拡散層(6)上に形成し、フォトリソグラフィー及びバッファードフッ酸によるエッチングによりボンディングパッド下に電流が注入されることを防止するための絶縁膜(7)を形成する。

【0034】次に、図5(a)及び(b)に示すように、 Ti/AuZn をp側からスパッタし、フォトリソグラフィー及びヨウ素系エッチャント、希フッ酸によるエッチングをした後、熱処理を施し、p型電極(8)を形成する。

【0035】そして、図6(a)及び(b)に示すように、n側から AuGe/Ni を蒸着し、熱処理を施しn側電極(9)を形成する。さらに、p側から Ti/Au をスパッタし、フォトリソグラフィー及びヨウ素系エッ

(5)

チャント、希フッ酸による化学エッティングによりポンディングパッド(10)を形成する。

【0036】この後、各エレメントを電気的に分離するためにフォトリソグラフィー及び硫酸：過酸化水素系エッチャント、熱リン酸により($\text{Al}_{0.3}\text{Ga}_{0.7}$) $0.5\text{In}_{0.5}\text{P}$ 活性層(4)に達するまでメサエッティングを行い、図2に示す発光ダイオードアレイが得られる。

【0037】以上のようにして得られた本実施例によるモノリシック発光ダイオードアレイは発光層に直接遷移型の($\text{Al}_{0.3}\text{Ga}_{0.7}$) $0.5\text{In}_{0.5}\text{P}$ を用いているので、従来のカメラ用データバックユニットに使用されていた発光ダイオードアレイの間接遷移型の $\text{GaAs}_{0.15}\text{P}_{0.85}$ を用いたものに比較して約1/10の電流でネガフィルムに日付を焼き付けるのに十分な出力を得ることができる。

【0038】また、従来、 $300\mu\text{m} \times 300\mu\text{m}$ 程度の発光チップ単体を7個並べ、全体形状が約 $1\text{mm} \times 4\text{mm}$ の大きさであったものに対して、本実施例はモノリシック構造とできることから、その大きさを図1の例で約 $500\mu\text{m} \times 700\mu\text{m}$ と大幅に小型化できる。

【0039】また、発光部のスポット径も小さくできることから、従来スポットを絞るために必要とされていたレンズ系が不要となり、このカメラ用データバックユニットを使用するシステム全体の小型化が期待できる。

【0040】さらに、各エレメント間を活性層(4)に達するまでエッティングしているので、1つのエレメントに注入される電流が他のエレメントに回り込むことがなく、各エレメントを確実に単独発光させることができる。

【0041】ところで、上記実施例の各エレメントの配置を図7に示すように、隣りあうエレメントの凹凸を嗜み合わせるように近接させることによって、より小型化を図れることができる。この場合の大きさは約 $450\mu\text{m} \times 650\mu\text{m}$ 程度に小さくできる。

【0042】また、図7において、エレメントの一辺Pは約 $6.0\mu\text{m}$ 、パッドの一辺Qは約 $120\mu\text{m}$ 、エレメント間のピッチR及びパッド間のピッチSはそれぞれ約 $90\mu\text{m}$ 及び $160\mu\text{m}$ である。

【0043】図8は本発明の第2実施例による上面図、図9(a)及び(b)はそれぞれ、図8の実施例の1エレメントの上面図及びX-Y線断面図、図10乃至図12は図8の発光ダイオードアレイの製造工程図で、

(a)および(b)はそれぞれ上面図及び断面図である。

【0044】図8及び図9に示す発光ダイオードアレイは、まず、図10に示すように、n型 GaAs 基板

(1)上にn型($n=5 \times 10^{17}\text{cm}^{-3}$) GaAs バッファー層(2)、n型($n=5 \times 10^{17}\text{cm}^{-3}$) $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層(3)、アンドープ($\text{Al}_{0.3}\text{Ga}_{0.7}$) $0.5\text{In}_{0.5}\text{P}$ 活性層(4)、p型($p=3 \times$

10^{17}cm^{-3}) $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層(5)、p型($p=3 \times 10^{17}\text{cm}^{-3}$) $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ cap層(11)、n型($n=2 \times 10^{18}\text{cm}^{-3}$)($\text{Al}_{0.2}\text{Ga}_{0.8}$) $0.5\text{In}_{0.5}\text{P}$ 電流阻止層(12)を積層する。ここで、電流阻止層(12)は光吸収性の材料を使用している。上記各層はすべてMOCVD法によって形成した。各層の厚みは(2)層から(5)層及び(11)層、(12)層にかけて、例えば $0.5\mu\text{m}$ 、 $1\mu\text{m}$ 、 $0.6\mu\text{m}$ 、 $1\mu\text{m}$ 、 50\AA 、 $0.2\mu\text{m}$ である。

【0045】次に、n型($\text{Al}_{0.2}\text{Ga}_{0.8}$) $0.5\text{In}_{0.5}\text{P}$ 電流阻止層(12)を熱リン酸によりエッティングして光取り出し用の窓(13)を形成する。そして、図11に示すように、この上にMOCVD法によって $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 電流拡散層(6)を $3\mu\text{m}$ 積層する。

【0046】次に図12に示すように、 $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 上にスパッタで $\text{Ti}/\text{AuZn}/\text{Ti}/\text{Au}$ を形成し、フォトリソグラフィー及びヨウ素系エッチャント、希フッ酸による化学エッティングを行い、熱処理を施しp側電極(8)を形成する。さらに、 AuGe/Ni を基板側に蒸着し熱処理を施しn側電極(9)を形成する。

(10) (10)はポンディングパッドである。その後、各エレメントを電気的に分離するためにフォトリソグラフィー及び硫酸：過酸化水素系エッチャント、臭素系エッチャント、熱リン酸によりn型 $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層(3)に達するまでメサエッティングを行い、図9に示すような発光ダイオードアレイが得られる。

【0047】ところで、上記メサエッティングに関し、図1乃至図6の第1実施例においては、エッティングを活性層(4)に達するまでとしていたが、この例ではその下のクラッド層(3)までエッティングする点で異なっている。上記第2実施例の方法であれば、各エレメントを完全に分離できる。ただし、クラッド層(3)の上面でエッティングをストップさせることが難しいため、クラッド層(3)を少し削るまでエッティングする必要がある等、エッティング制御が困難であるという点もある。なお、光漏れが生じないようにするには、第1実施例のメサエッティングで十分であることが実験上判明している。

【0048】以上のようにして得られた本発明の第2実施例による発光ダイオードアレイは、第1実施例と同様の効果、即ち、1)発光層に直接遷移型の($\text{Al}_{0.3}\text{Ga}_{0.7}$) $0.5\text{In}_{0.5}\text{P}$ を用いているので、低電流でネガフィルムに日付を焼き付けるのに十分な出力を得ることができる、2)従来、発光チップ単体を7個並べていたものに対して、本実施例はモノリシック構造とできることから、その大きさを大幅に小型化できる、3)光部のスポット径も小さくできることから、従来スポットを絞るために必要とされていたレンズ系が不要となり、このカメラ用データバックユニットを使用するシステム全体を小型化できる、4)エレメント間をクラッド層に達するまでエッティングしているので、各エレメントを確実に

(6)

9

単独発光させることができる等の効果が得られる上に、さらに下記のような作用、効果を得ることができる。

【0049】即ち、1) 電流阻止層(12)によって、電極(8)下での無効発光を抑えることができる、2) 発光面上に電流注入用の電極を形成する必要がない(図9(b)においてAのルートで電流が流れるため)ので光を窓部(13)から外部に有效地に取り出すことができる。

【0050】このように無駄な発光をなくすことができるので、従来のカメラ用データバックユニットに使用されていた発光ダイオードアレイの間接遷移型のGaAs_{0.15}P_{0.85}を用いたものに比較して約1/20の電流で(第1実施例の場合は前述のように1/10)ネガフィルムに日付を焼き付けるのに十分な出力を得ることができる。

【0051】さらに、電流阻止層(12)は発光波長に対して光吸収性の材料を使用しているので、発光部から斜め方向に出射される光が、この電流阻止層(12)によって吸収されるので、隣合うエレメント間の光りのアイソレーションを高精度にする(より高精度な単独発光を実現する)ことができる。

【0052】図13は本発明の第3実施例による上面図、図14(a)及び(b)はそれぞれ、図13の実施例の1エレメントの上面図及びX-Y線断面図、図15乃至図17は図13の発光ダイオードアレイの製造工程図で、(a)および(b)はそれぞれ上面図及び断面図である。

【0053】図13及び図14に示す発光ダイオードアレイは、まず、図15に示すように、n型GaAs基板(1)上にn型($n=5\times 10^{17}\text{cm}^{-3}$)GaAsバッファー層(2)、n型($n=5\times 10^{17}\text{cm}^{-3}$)Al_{0.5}In_{0.5}Pとn型($n=5\times 10^{17}\text{cm}^{-3}$)(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pの20ペアの多層反射膜(14)、n型($n=5\times 10^{17}\text{cm}^{-3}$)Al_{0.5}In_{0.5}Pクラッド層(3)、アンドープ(A_{1.0}Ga_{0.7})_{0.5}In_{0.5}P活性層(4)、p型($p=3\times 10^{17}\text{cm}^{-3}$)Al_{0.5}In_{0.5}Pクラッド層(5)、p型($p=3\times 10^{17}\text{cm}^{-3}$)Ga_{0.5}In_{0.5}Pcap層(11)、n型($n=2\times 10^{18}\text{cm}^{-3}$)(Al_{0.2}Ga_{0.8})_{0.5}In_{0.5}P電流阻止層(12)を積層する。ここで、電流阻止層(12)は光吸収性の材料を使用している。上記各層はすべてMOCVD法によって形成した。各層の厚みは(2)層、(3)層、(4)層、(5)層、(11)層及び(12)層にかけて、それぞれ0.5μm、1μm、0.6μm、1μm、50Å、0.2μmである。

【0054】次に、n型(A_{1.0}Ga_{0.8})_{0.5}In_{0.5}P電流阻止層(12)を熱リソ酸によりエッチングして光取り出し用の窓(13)を形成する。そして、図16に示すように、この上にMOCVD法によってAl_{0.7}

(10)

Ga_{0.3}As電流拡散層(6)を3μm積層する。

【0055】そして、図17に示すように、Ti/Au/Znをp側からスパッタし、フォトリソグラフィー及びヨウ素系エッチャント、希フッ酸によるエッチングをした後、熱処理を施しp側電極(8)を形成する。ここで、p側電極(8)の形状は光取り出し用の窓(13)の周囲を囲むように形成されている。そして、n側からAuGe/Niを蒸着し熱処理を施し、n側電極(9)を形成する。そして、p側からTi/Auをスパッタし、フォトリソグラフィー及びヨウ素系エッチャント、希フッ酸による化学エッチングによりボンディングパッド(10)を形成する。

【0056】その後、各エレメントを電気的に分離するために、フォトリソグラフィー及び硫酸：過酸化水素系エッチャントでAl_{0.7}Ga_{0.3}As電流拡散層(6)、熱硫酸で(A_{1.0}₂Ga_{0.8})_{0.5}In_{0.5}P電流阻止層(12)、臭素系エッチャントでp型Ga_{0.5}In_{0.5}Pcap層(11)をエッチングした後、熱硫酸によりn型(A_{1.0}₂Ga_{0.3})_{0.5}In_{0.5}Pクラッド層(3)に達するまでメサエッチングを行う。そして、臭素系エッチャントでメサ側面の凸部の(A_{1.0}₂Ga_{0.8})_{0.5}In_{0.5}P電流阻止層(12)、p型Ga_{0.5}In_{0.5}Pcap層(11)をエッチングした後、最後にもう一度、硫酸：過酸化水素系エッチャントによりメサ側面の凸部A_{1.0}₇Ga_{0.3}As電流拡散層(6)のエッチングを行い、図14に示すような発光ダイオードアレイが得られる。

【0057】このようにして得られた本発明の第3実施例の発光ダイオードアレイは、第1実施例及び第2実施例の効果に加え、さらに、以下のような効果がある。

【0058】即ち、多層反射膜(14)を設けているので、基板方向に向かう光が反射されて、窓部(13)を介して外部に有效地に取り出すことができる。なお、ここで、多層反射膜によって光が反射されるのは、多層反射膜(14)の(A_{1.0}₄Ga_{0.6})_{0.5}In_{0.5}PのAl混晶比0.5が活性層(4)のAl混晶比0.4よりも大きくなっているためである。この結果、従来のカメラ用データバックユニットに使用されていた発光ダイオードアレイの間接遷移型のGaAs_{0.15}P_{0.85}を用いたものに比較して約1/30の電流で(第1実施例の場合は前述のように1/10、第2実施例の場合は1/20)ネガフィルムに日付を焼き付けるのに十分な出力を得ることができる。

【0059】さらに、n側電極(9)の形状は光取り出し用の窓(13)の周囲を囲むように形成されているので、第2実施例に比較してより均一な発光を得ることが出来る。しかも、メサエッチングにおいては、3段階のエッチング、即ち、①まず電流拡散層(6)を硫酸：過酸化水素系エッチャントでエッチングし、②次いでクラッド層(5)、活性層(4)を熱硫酸で行った後、③も

(7)

11

う一度電流拡散層（6）を硫酸：過酸化水素系エッチャントで行うという工程をとることによって、各エレメント側面の凸部を小さくできる。

【0060】各工程によるエッチング形状について説明すると、まず①の工程によって電流拡散層（6）が台形状にエッチングされ、次に②の工程において、クラッド層（5）及び活性層（4）が同様に台形状にエッチングされる。ただし、このクラッド層（5）及び活性層

（4）の台形の上部は電流拡散層（6）の下面において若干オーバーエッチングされる形となり、電流拡散層（6）の下部がひさし状に突出することになる。これに対して、③工程のように、もう一度熱硫酸によって電流拡散層（6）をエッチングし、ひさし状になった凸部を削ることによって凸部のないメサ形状を実現できる。

【0061】従来のメサエッチングであれば、硫酸：過酸化水素系エッチャントでエッチング後、熱リン酸でエッチングしていたが、この方法によると、得られるエッチング形状は上方が広がった逆メサ形状となる。この形状であると、樹脂モールドされた場合、特に低温においては、応力がかかり易くなり信頼性が低下してしまう、という問題点があった。

【0062】本実施例の方法によれば、上述のように安定したメサ形状が得られるので高信頼性の発光ダイオードアレイを実現できる。低温通電による信頼性試験によれば、5000時間での劣化率を実施例2に比較して1/2に低減できることが実験上、判明している。（温度：-25°C）

図18及び図19(a)乃至(e)はそれぞれ、本発明の第4実施例による上面図及びその製造工程図である。製造工程図は図18のA-A'断面図である。本実施例と第1乃至第3実施例との大きな違いは、電流阻止層をエレメントの上面に形成した点にある。

【0063】この構造によれば、発光光をエレメントの表面で狭窄することとなるので、チップ層の中部に電流阻止層を設けるより、上面から見た時に光のアイソレーションがうまく行われる（発光領域を精度よくコントロールでき、光のきれがよくなる）という利点がある。以下、図面に従って詳細に説明する。

【0064】本実施例による発光ダイオードアレイは、まず図19(a)に示すように、GaAs基板(20)上にMOCVD法によってn-Al_{0.5}In_{0.5}Pクラッド層(21)を1μm、un-(Al_{0.3}Ga_{0.7})_{0.5}In_{0.5}P活性層(22)を0.6μm、p-Al_{0.5}In_{0.5}Pクラッド層(23)を1μm順次形成しPN接合を形成する。

【0065】続いて、同様にMOCVD法にて電流拡散層としてp-Al_{0.7}Ga_{0.3}As層(24)を3μm形成した後、光の遮蔽及び電流阻止を行うのに必要なn-GaAs層(25)を形成する。ここで、n-GaAs層(25)は光の遮蔽効果及びp側電極(26)との合

12

金反応後も極性がN型を維持し電流阻止構造がとれるよう層厚は最低0.5μm以上、キャリア濃度は約5×10¹⁸/cm³以上必要である。一方、発光部にかかる部分での電極配線の断線を防ぐためには層厚は1μm以下であることが望ましいことから、ここでのn-GaAs層(25)の層厚は0.8μmとする。以上のようにして、エピウェハーが得られる。

【0066】次に、図19(b)に示すように、図19(a)で得られたエピウェハーを用いて通常のフォトリソ・エッチング工程により発光させたい部分のGaAs層を除去し、窓部(26)を形成する。

【0067】次に、図19(c)に示すように、p-Al₁Ga_{As}層(24)とオーミックコンタクトが形成できるようなAuZn等のメタルをスパッタした後、続いてn-GaAs基板側にAuGeを蒸着またはスパッタにて裏面電極(27)を形成する。そして、通常のフォトリソ・エッチング工程にてp側電極パターンを形成した後、熱処理を施して良好なオーミック電極(28)を形成する。ここで、p-Al₁Ga_{As}層(24)のキャリア濃度が10¹⁸/cm³であることから、AuZnのようにp型ドーパントを含んだメタルを使用しており、良好なポンディング性を得るためにポンディングパッド(29)が必要となる。このポンディングパッド(29)は以下のように形成される。

【0068】図19(d)に示すように、まず、AuZnのような配線メタルとの密着性を考慮して、TiまたはTiWのバリアメタルに連続して純粋なAlまたはAuをスパッタして形成する。ここで、バリアメタルはTi系以外のMo, Wでもよい。続いて、通常のフォトリソ・エッチングにてポンディングパッドを形成する。ただし、バリアメタルのエッチングには、n-GaAs層(25)をほとんどエッチングしないエッチャントを選定する必要がある。

【0069】なお、p-Al₁Ga_{As}層(24)のキャリア濃度が5.0×10¹⁹/cm³以上となっている場合、Alだけでもオーミックコンタクトが得られるので、Alを2.5μm以上スパッタ形成して電極配線を行うことで、ポンディングパッドの形成は不要となる。

【0070】次に、図19(e)に示すように、隣の発光部との電気的アイソレーションを確実に行い、電流が効率良くPN接合部に流れ込むようにするために、メサエッチングを行う。最後に、ダイシングによって各アレイに分割してモノリシックタイプの発光ダイオードアレイが得られる。

【0071】上記構造の発光ダイオードアレイによれば、実施例1乃至3の構造と同様に、発光効率の向上及び発光ダイオードアレイの小型化を実現できる。また、発光領域以外ではNPN構造となることから、発光領域にのみ電流が集中して流れ発光部以外に絶縁膜を改めて

(8)

13

形成する必要がなく、製造工程の簡略化が図れる。

【0072】また、発光チップの上面に電流阻止層を形成しているので、実施例1乃至3の構造に比較して、光のアイソレーションがより確実に、且つ精度よく行われる。ただし、窓部(26)の表面には電極が形成されているため、光の取り出しについては第2、第3実施例の方が優れている。

【0073】

【発明の効果】以上説明したように、本発明によるモノリシック発光ダイオードアレイは、従来のカメラ用データバックユニットに比較して、極めて低い消費電力で動作できる。

【0074】また、従来の発光ダイオードアレイは、発光チップ単体を基板等に並列配置して構成していたのに対し、本実施例によればモノリシック構造の発光ダイオードアレイとでき大幅に小型化できる。

【0075】また、発光部のスポット径も小さくできることから、従来スポットを絞るために必要とされていたレンズ系が不要となり、このカメラ用データバックユニットを使用するシステム全体も小型化できる。

【0076】さらに、各エレメント間のエッチングにより、各エレメントの確実な単独発光且つ高精度の光分離が可能となる。

【0077】また、各エレメントのメサエッティングを3段階のエッティングで行うことによって、側面に凸部のない安定した形状とことができ、低温時でも応力がかかりにくく高信頼性が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例による発光ダイオードアレイの上面図である。

【図2】(a)及び(b)はそれぞれ、図1の発光ダイオード単体の上面図及びそのX-Y断面図である。

【図3】図1の発光ダイオードアレイの斜視図である。

【図4】(a)及び(b)はそれぞれ、図2の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図5】(a)及び(b)はそれぞれ、図2の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図6】(a)及び(b)はそれぞれ、図2の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図7】図1の実施例の応用例を示す上面図である。

(9)

14

【図8】本発明の第2実施例による発光ダイオードアレイの上面図である。

【図9】(a)及び(b)はそれぞれ、図8の発光ダイオード単体の上面図及びそのX-Y断面図である。

【図10】(a)及び(b)はそれぞれ、図9の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図11】(a)及び(b)はそれぞれ、図9の発光ダイオード単体の製造工程における上面図及びその断面図である。

【図12】(a)及び(b)はそれぞれ、図9の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図13】本発明の第3実施例による発光ダイオードアレイの上面図である。

【図14】(a)及び(b)はそれぞれ、図13の発光ダイオード単体の上面図及びそのX-Y断面図である。

【図15】(a)及び(b)はそれぞれ、図14の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図16】(a)及び(b)はそれぞれ、図14の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図17】(a)及び(b)はそれぞれ、図14の発光ダイオード単体の製造工程における上面図及びそのX-Y断面図である。

【図18】本発明の第3実施例による発光ダイオードアレイの上面図である。

【図19】(a)乃至(e)は図18の発光ダイオード単体の製造工程を示す断面図である。

【図20】従来例による発光ダイオードアレイの上面図である。

【図21】従来例によるLEDプリンタ用半導体発光装置の斜視図である。

【符号の説明】

1 n型GaN基板

3 n型クラッド層

4 活性層

5 p型クラッド層

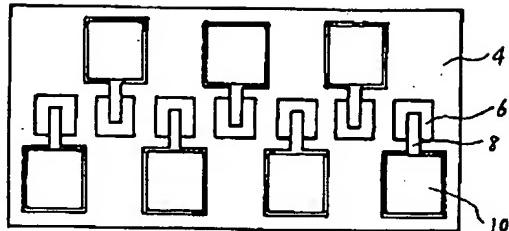
6 電流拡散層

12 電流阻止層

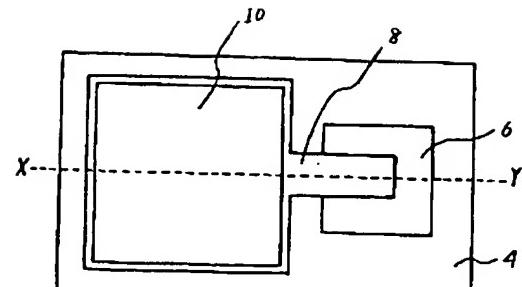
14 多層反射膜

(9)

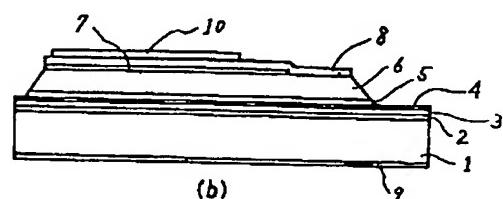
【図1】



【図2】

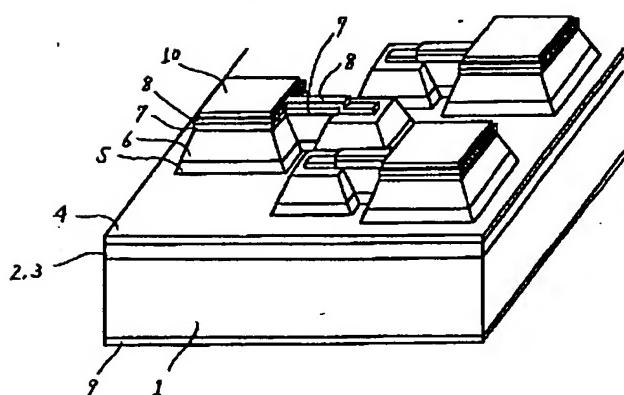


(a)



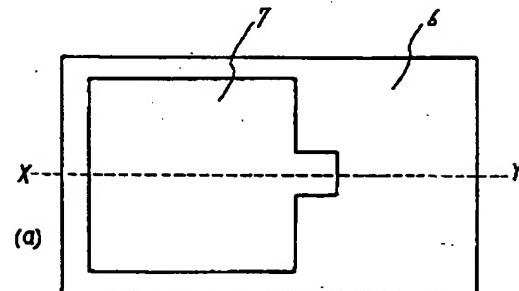
(b)

【図3】

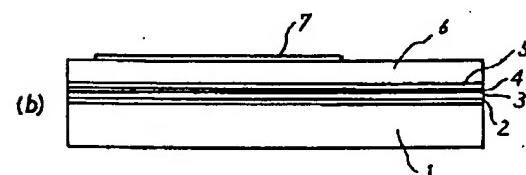


【図8】

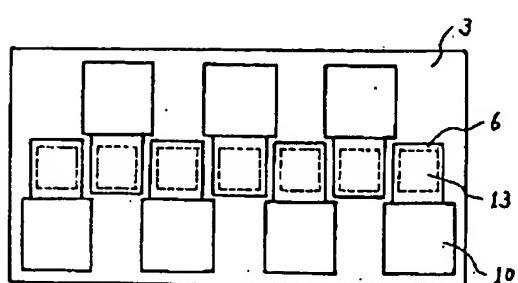
【図4】



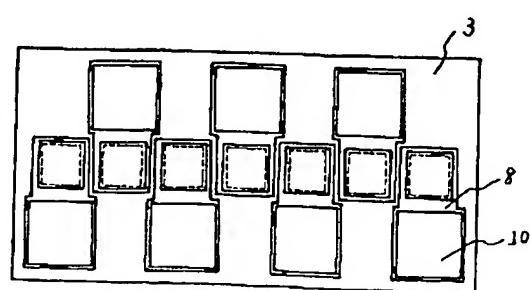
(a)



(b)

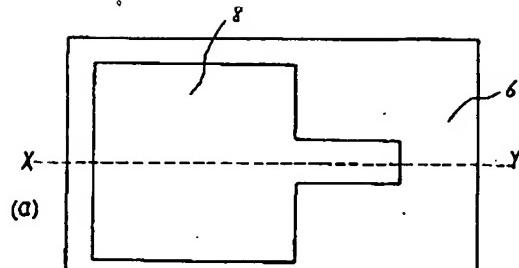


【図13】

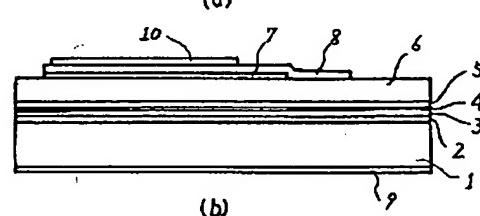
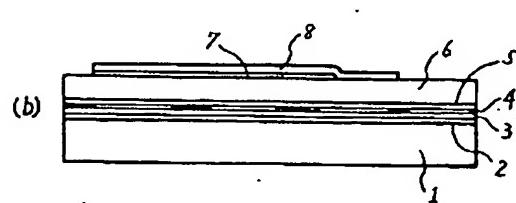
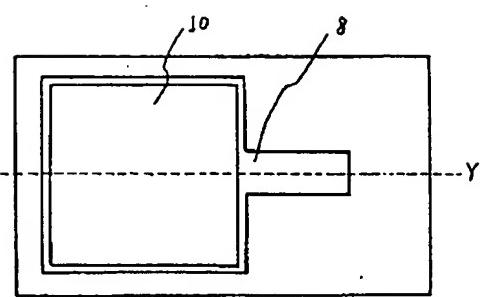


(10)

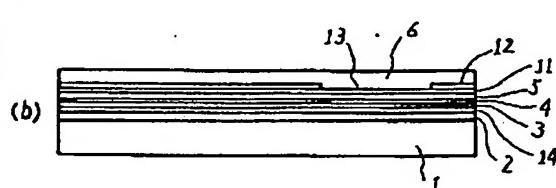
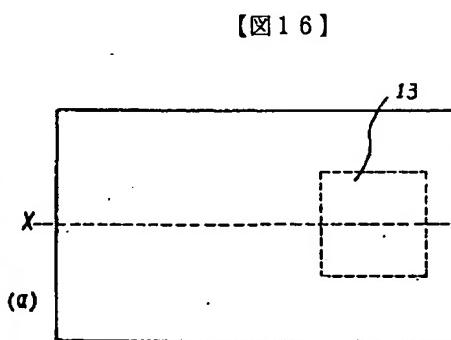
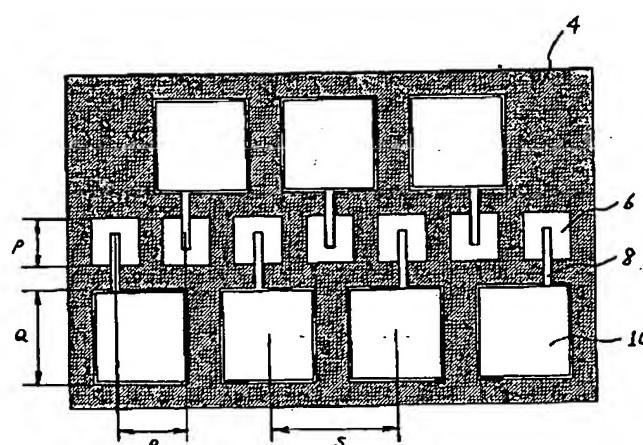
【図5】



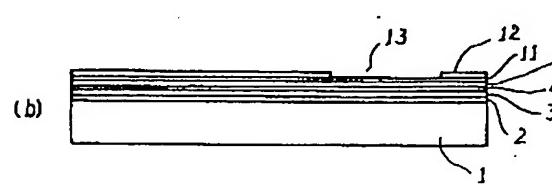
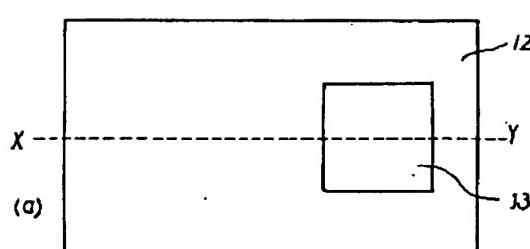
【図6】



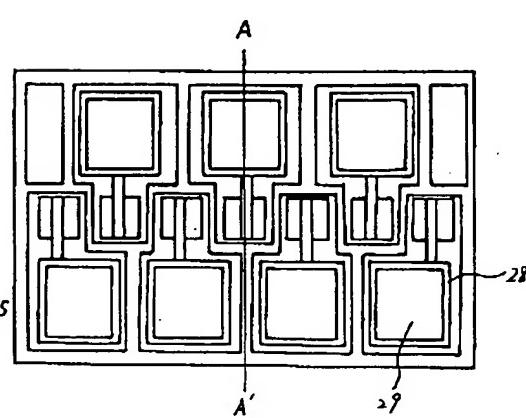
【図7】



【図10】

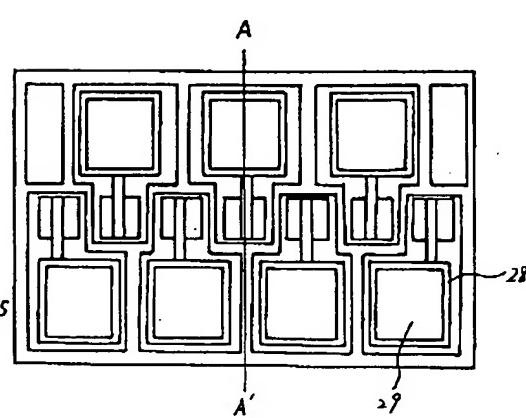


【図18】



A'

29

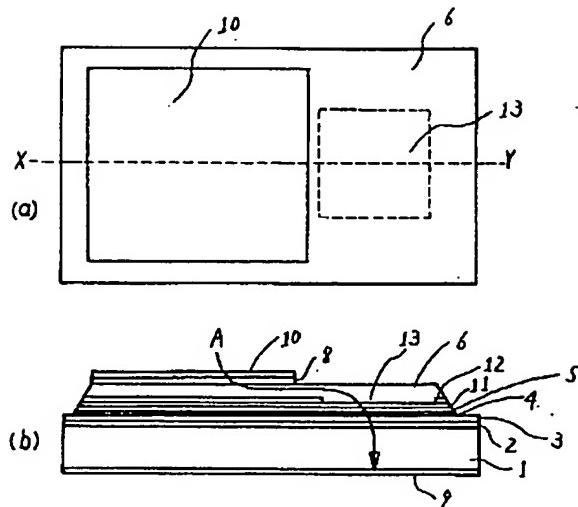


A'

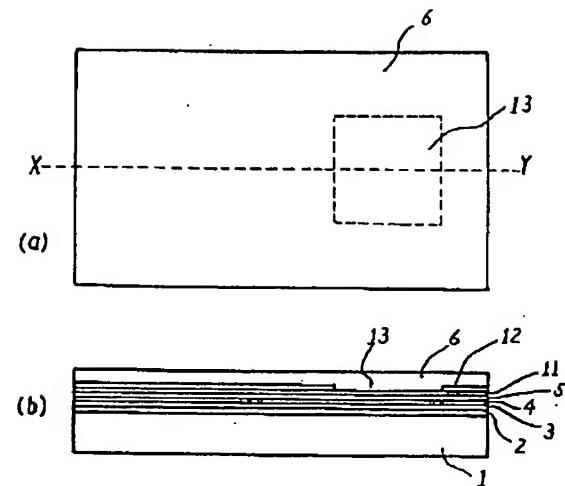
29

(11)

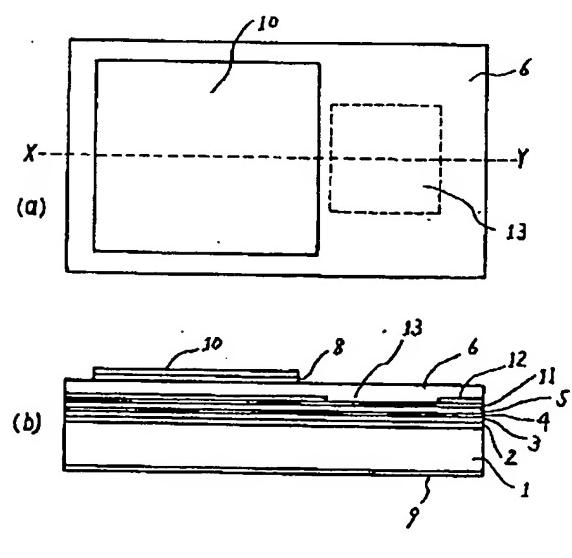
【図9】



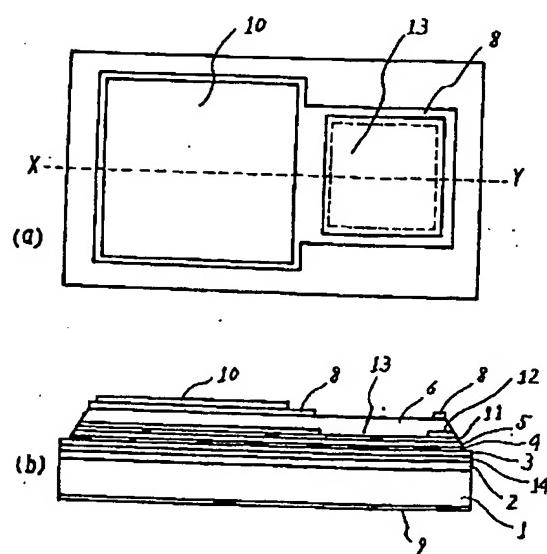
【図11】



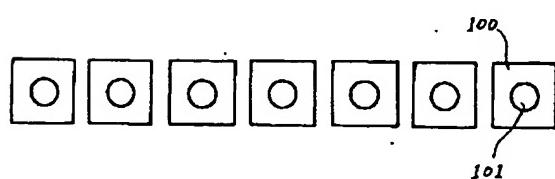
【図12】



【図14】

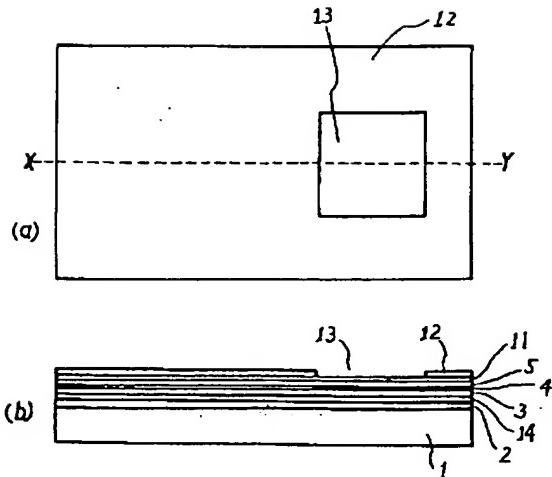


【図20】

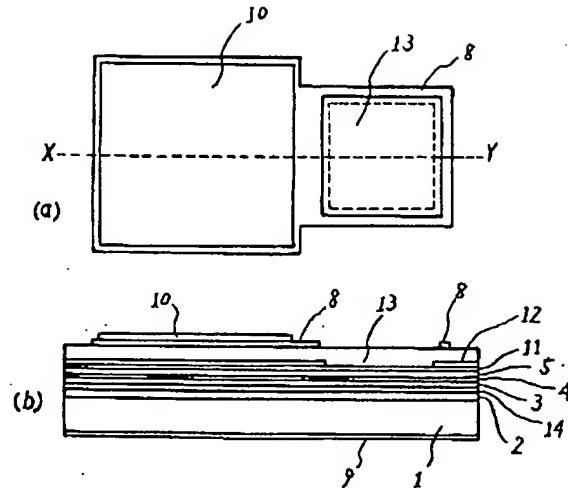


(12)

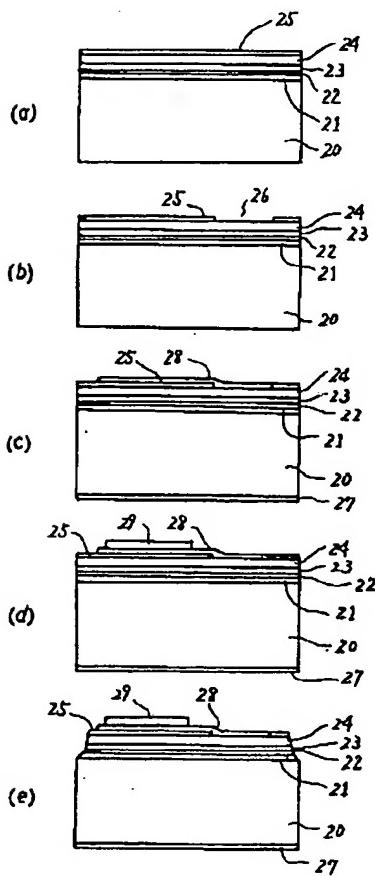
[图 15]



[图 17]



【图19】



[図21]

